**Тема. Внутрішні мікроархітектури процесорів**

Термін "архітектура процесора" в даний час не має однозначного тлумачення. З погляду програмістів, під архітектурою процесора мається на увазі його здатність виконувати певний набір машинних кодів. Більшість сучасних десктопних процесорів відносяться до сімейства x86, або Intel-сумісних процесорів архітектури IA32 (архітектура 32-бітових процесорів Intel). Її основа була закладена компанією Intel в процесорі i80386, проте в подальших поколіннях процесорів вона була доповнена і розширена як самою Intel (введені нові набори команд MMX, SSE, SSE2 і SSE3), так і сторонніми виробниками (набори команд EMMX, 3DNow! і Extended 3DNow!, розроблені компанією AMD).

**Ядро**

В рамках однієї і тієї ж архітектури різні процесори можуть досить сильно відрізнятися один від одного. І відмінності ці утілюються в різноманітних процесорних ядрах, що володіють певним набором строго обумовлених характеристик. Найчастіше ці відмінності втілюються в різних частотах системної шини (FSB), розмірах кеша другого рівня, підтримці тих або інших нових систем команд або технологічних процесах, за якими виготовляються процесори. Нерідко зміна ядра в одному і тому ж сімействі процесорів спричиняє за собою заміну процесорного роз'єму (сокет, англ. socket), з чого витікають питання подальшої сумісності материнських плат. Проте в процесі вдосконалення ядра виробникам доводиться вносити до нього незначні зміни, які не можуть претендувати на "ім'я власне". Такі зміни називаються ревізіями (англ. stepping) ядра і, найчастіше, позначаються цифробуквенними комбінаціями. Проте в нових ревізіях одного і того ж ядра можуть зустрічатися досить помітні нововведення. Так, компанія Intel ввела підтримку 64-бітової архітектури EM64T в окремі процесори сімейства Pentium 4 саме в процесі зміни ревізії.

32-бітові та 64-бітові процесори

Найуспішнішими і найпоширенішими донедавна були процесори з архітектурою IA32, яка була введена з появою покоління процесорів i80386 на заміну 16-бітним 8086, 80186, 80286.

Досить вдале 64-бітове розширення класичної 32-бітової архітектури IA32 було запропоноване в 2002 році компанією AMD (спочатку називалося x86-64, зараз - AMD64) в процесорах сімейства К8. Через деякий час компанією Intel було запропоновано власне позначення - EM64T (англ. Extended Memory 64-bit Technology). Але, незалежно від назви, суть нової архітектури одна і та ж: розрядність основних внутрішніх регістрів 64-бітових процесорів подвоїлася (з 32 до 64 біт), а 32-бітові команди x86-кода отримали 64-бітові аналоги. Крім того, за рахунок розширення розрядності шини адрес обсяг пам'яті, що адресується процесором, істотно збільшився.

**Паралелізм**

Паралелізмом (англ. Concurrency), або багатозадачністю називається властивість систем, коли декілька процесів обчислення відбуваються водночас, і, можливо, взаємодіють один з одним. Вивчення багатозадачних систем включає широке коло різноманітних систем, починаючи з щільно зв'язаних, в основному синхронних паралельних систем, до слабо зв'язаних, сильно асинхронних розподілених систем. Багатозадачні процеси можуть виконуватись водночас, як у випадку роботи на різних процесорах, або кроки їхнього виконання можуть чергуватись для створення ефекту одночасності, як це робиться в багатозадачних системах. Оскільки процеси в конкурентних системах можуть взаємодіяти один з одним під час роботи, кількість можливих шляхів виконання програми в системі є дуже великою, а отримана поведінка може бути дуже складною. Складнощі, пов'язані з дослідженням багатозадачності були спрощені як шляхом створення мов та концепцій роботи багатозадачних систем досить простою для розуміння, так і шляхом розробки теорій для міркувань про процеси, що взаємодіють.

**Конвеєр команд**

**Елементарний конвеєр**

В основі концепції конвеєризації обчислень є твердження про те, що процес обробки машинної команди можна розбити на декілька практично незалежних етапів, які потім можна суміщати в часі для декількох команд в відповідній апаратурі (конвеєрі команд).

Загальноприйнятим в теорії конвеєрних структур є така послідовність етапів:

Вибірка (instruction fetch, IF) - завантаження нової команди з пам'яті

Декодування (instruction decode, ID) - інтерпретація та відправка команди у відповідний операційний пристрій в залежності від різновиду операції

Виконання (execution, EX) - виконання команд та обчислення ефективної адреси пам'яті для результату або операндів, які необхідно завантажити

Звертання до пам'яті (memory, MEM) - виконання операцій з пам'яттю (для команд завантаження/збереження)

Збереження результату (writeback, WB) - збереження результату обчислень в регістрі

Слід зазначити, що така структура є типовою для RISC-архітектур, семантика та кількість етапів в яких зазвичай не дуже відрізняється від наведених, тоді як в CISC-архітектурах конвеєр може бути набагато складнішим.

В процесі виконання команд в конвеєрі, відбувається суміщення вказаних етапів виконання для декількох команд (тобто в конвеєрі одночасно знаходяться декілька - до 5 в даному випадку) команд на різних стадіях. Кожний етап конвеєрного обчислення виконується за один машинний цикл. Зрозуміло, що виконання однієї окремої команди на послідовному процесорі (де команда виконується зразу за один машинний цикл) може бути швидшим, аніж в конвеєрній організації. Але за рахунок суміщення виконання різних команд загальна швидкодія істотно збільшується.

**Багатоядерні процесори**

Особливості архітектури

У всіх існуючих на сьогоднішній день багатоядерних процесорах кеш-пам'ять першого рівня у кожного ядра своя, а кеш 2-го рівня існує в кількох варіантах:

поділюваних — кеш розташований на одному з обома ядрами кристалі і доступний кожному з них у повному обсязі. Використовується в процесорах сімейств Intel Core.

індивідуальний — окремі кеші рівного обсягу, інтегровані в кожне з ядер. Обмін даними з кешей L2 між ядрами здійснюється через контролер пам'яті — інтегрований (Athlon 64 X2) або зовнішній (Pentium D).